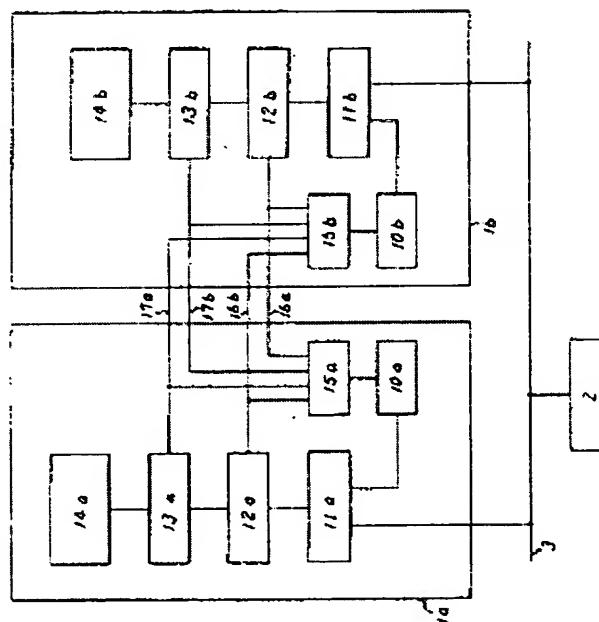


DOUBLE STORAGE DEVICE CONTROL SYSTEM

Patent number: JP57101950
Publication date: 1982-06-24
Inventor: NIHEI TOSHIHIKO; KAWANOBE TADASHI; IGAWA IKUTOSHI; AMANO YUTAKA; KANAZAWA NOBUHARU
Applicant: OKI ELECTRIC IND CO LTD;; NIPPON TELEGRAPH & TELEPHONE;; NIPPON ELECTRIC CO;; HITACHI LTD;; FUJITSU LTD
Classification:
 - international: G06F11/18; G11C29/00
 - european: G06F11/16B
Application number: JP19800178488 19801217
Priority number(s): JP19800178488 19801217

Abstract of JP57101950

PURPOSE: To detect a latent fault on the operation in its early stage, by mutually comparing and collating the display signals showing the operation in each storage device, in case of a synchronizing operation mode of a double storage device. **CONSTITUTION:** A memory request generated by a processing device 2 is transferred to receiving control parts 11a, 11b of storage devices 1a, 1b, and the control parts 11a, 11b decide whether this request is receivable or not. The received memory request designates a sort of operation to sequence control parts 12a, 12b through the control parts 11a, 11b, the control parts 12a, 12b start timing control parts 13a, 13b, operate memories 14a, 14b, and execute each memory operation which has been requested. On the other hand, display signals showing the operations are transferred to collating parts 15a, 15b through signal lines 16a, 16b and 17a, 17b from the control parts 12a, 12b, 13a and 13b, compared and collated, and each operation status is checked. In this case, when dissidence is detected, it is displayed on a dissidence displaying circuit.



Data supplied from the esp@cenet database - Worldwide

⑬ 日本国特許庁 (JP)

⑭ 特許出願公開

⑫ 公開特許公報 (A)

昭57—101950

⑮ Int. Cl.³
G 06 F 11/18
G 11 C 29/00

識別記号

庁内整理番号
7368—5B
6974—5B

⑯ 公開 昭和57年(1982)6月24日
発明の数 2
審査請求 未請求

(全 7 頁)

⑭ 二重化記憶装置制御方式

⑰ 特 願 昭55—178488

⑱ 出 願 昭55(1980)12月17日

⑲ 発 明 者 二瓶敏彦
東京都港区虎ノ門1丁目7番12
号沖電気工業株式会社内

⑳ 発 明 者 川野辺正
武蔵野市緑町3丁目9番11号日
本電信電話公社武蔵野電気通信
研究所内

㉑ 発 明 者 井川郁敏
東京都港区芝五丁目33番1号日
本電気株式会社内

㉒ 発 明 者 天野裕

横浜市戸塚区戸塚町216番地株
式会社日立製作所戸塚工場内

㉓ 発 明 者 金沢伸春

川崎市中原区上小田中1015番地
富士通株式会社内

㉔ 出 願 人 沖電気工業株式会社

東京都港区虎ノ門1丁目7番12
号

㉕ 出 願 人 日本電信電話公社

㉖ 出 願 人 日本電気株式会社

東京都港区芝五丁目33番1号

㉗ 代 理 人 弁理士 吉田精孝

最終頁に続く

明 細 書

1. 発明の名称

二重化記憶装置制御方式

2. 特許請求の範囲

(1) 二重化された記憶装置を有する処理システムにおいて、同期運転モードと分離運転モードとを有し、同期運転モード時に上記二重化された記憶装置を同期して動作させ、各々の記憶装置の動作を示す表示信号を両記憶装置間で比較照合し動作上の障害の検出を行うようにしたことを特徴とする二重化記憶装置制御方式。

(2) 二重化された記憶装置を有する処理システムにおいて、同期運転モードと分離運転モードとを有し、同期運転モード時に上記二重化された記憶装置を同期して動作させ、各々の記憶装置の動作を示す表示信号を両記憶装置間で比較照合し動作上の障害の検出を行なうとともに、各記憶装置内で読取りデータの誤り検出を実行して記憶内容の障害の検出を行

なうようにしたことを特徴とする二重化記憶装置制御方式。

3. 発明の詳細な説明

本発明は早期に潜在障害を検出し得る二重化記憶装置の制御方式に関するものである。

従来の二重化記憶装置を有する処理システムでは同期運転モードで動作する場合に両方の記憶装置に対する二重書き込みを行なうことによつて現在主に使用している記憶装置に障害が発生したとき、他方の記憶装置に切替えるだけで処理の継続が可能となる様にして見かけの稼働率を向上させている。ここで主に使用している記憶装置とは読取り時に読取り情報を返送して処理装置が使用する情報を提供するものをいい、以下これをACT側記憶装置と、またもう一方の記憶装置をSBY側記憶装置と称することにする。

記憶装置に発生する障害はACT側記憶装置とSBY側記憶装置とに同一確率で生ずるから、上記従来の制御方式ではSBY側記憶装置が障害となつた場合にその検出ができないので障害が潜

在化してしまい、或いてACT司記憶装置が障害となつた時にシステム全体が不稼働状態に陥り、また障害探知もオンラインシステムを利用しては行なえなくなり、障害修復に至るまでに長時間を要するという欠点があつた。また上記システムの不稼働状態を短くするためにはSBY司記憶装置の存在障害時間を短くする手段として常時ACT/SBY切替を行なう必要があり、重要な場合ほど頻繁に行なわなければならないという欠点を有していた。

本発明は上記従来の処理システムにおける二重化記憶装置の制御方式の欠点に鑑み、同期運転モード時に二重化された記憶装置を同期して動作させ、各々の記憶装置の動作を示す表示信号を両記憶装置間で比較照合し動作上の障害の検出を行ない、或いはそれと併せて各記憶装置内で読取データの誤り検出を実行して記憶内容の障害の検出を行なうことによつて、潜在障害を早期に発見し、システムが不稼働状態となるのを防止した処理システムにおける二重化記憶装

(3)

メモリ14a, 14bを動作するタイミング制御部13a, 13b、及びシーケンス制御部12a, 12b、タイミング制御部13a, 13bの動作を示す表示信号を比較照合する照合部15a, 15bよりなる。16a, 16b, 17a, 17bは信号線である。

処理装置2より発せられたメモリ要求はバス3によつて記憶装置1a, 1bの受付制御部11a, 11bに伝達され、受付制御部11a, 11bではシステム制御部10a, 10bに表示されている受付条件に従つて該メモリ要求を受け付けるか否かを決定する。受け付けられたメモリ要求は受付制御部11a, 11bを通してシーケンス制御部12a, 12bに動作種別を指定し、該シーケンス制御部12a, 12bはタイミング制御部13a, 13bを起動してメモリ14a, 14bを動作させ要求された各メモリ動作を実行する。

一方、シーケンス制御部12a, 12b、タイミング制御部13a, 13bよりその動作を示す表示信号が信号線16a, 16b及び17a, 17bを介して照合部15a, 15bに伝達され比較照合され、

(5)

制御方式を提供しようとするもので、以下図面について詳細に説明する。

第1図は本発明の二重化記憶装置制御方式を使用した処理システムの一実施例の概略構成を示すブロック図である。図中、1a, 1bは二重化された記憶装置、2は処理装置、3は処理装置2から記憶装置1a, 1bへのメモリアクセスを行なうバスである。また記憶装置1a, 1bは記憶装置内の動作モード等を規定するシステム制御部10a, 10b、該システム制御部10a, 10bに表示される受付条件に従つてバス3を介して処理装置2より出されたメモリ要求を受理するか否かを決定する受付制御部11a, 11b、受け付けられたメモリ要求の動作種別に従つて正常読取動作(NR)、正常書込動作(NW)、正常読取動作と正常書込動作の組合せ動作(T&S)、コピー動作(copy)、診断動作(MME)、及び記憶再生動作(REF)の各動作を定義するシーケンス制御部12a, 12b、該シーケンス制御部12a, 12bにより定義された動作を具体化しメ

(4)

互いの動作状態をチェックする。

第2図は第1図の実施例を更に具体化して示したブロック図で、図中第1図と同一構成部分は同一符号をもつて表わす。すなわち1a, 1bは二重化された記憶装置、2は処理装置、3はバス、10a, 10bはシステム制御部、11a, 11bは受付制御部、12a, 12bはシーケンス制御部、13a, 13bはタイミング制御部、14a, 14bはメモリ、15a, 15bは照合部である。システム制御部10a, 10bは受付条件を示す同期運転表示フリップフロップ(以下、F.F.と称す。)

101a, 101bとACT表示F.F.102a, 102bを有し、その各出力信号は受付制御部11a, 11bに送出される。受付制御部11a, 11bは一致回路111a, 111b、オアゲート112a, 112b、アンドゲート113a, 113bを有し、該一致回路111a, 111bはバス3の中のメモリ種別表示信号線31a, 31bと上記ACT表示F.F.102a, 102bの出力との一致を取り、その表示が一致した場合、出力をオアゲート112a, 112bの

(6)

一方の入力に送出する如くなっている。オアゲート112a, 112bのもう一方の入力には上記同期運転表示F. F. 101a, 101bの出力信号が入力されており、その出力信号はバス3のメモリ要求信号線32a, 32bの信号をもう一方の入力信号としたアンドゲート113a, 113bに送出される如くなっている。すなわち分離運転モード時にはメモリ種別表示信号線31a, 31bの信号とACT表示F. F. 102a, 102bの信号が一致した時のみメモリ要求が受理され、同期運転モード時にはメモリ種別表示信号線の出力信号にかかわらず、メモリ要求は受理される如くなっている。ここで同期運転表示F. F. 101aと101bの信号は必ず一致し、ACT表示F. F. 102aと102bの信号は必ず相反する様に制御されている。

シーケンス制御部12a, 12bはビジー表示F. F. 121a, 121b、T&S表示F. F. 122a, 122b、copy表示F. F. 123a, 123b、REF表示F. F. 124a, 124b、アンドゲート125a, 125b、

(7)

の動作を示す表示信号を比較照合し、不一致を検出した場合、不一致表示回路152a, 152bに信号を送出し、該不一致表示回路152a, 152bは信号線34a, 34bを介して処理装置2に不一致を通知する如くなっている。

次に動作について説明する。処理装置2よりバス3の信号線31a, 31b, 32a, 32b, 33a, 33bを介してメモリ種別信号、メモリ要求信号、メモリ動作種別信号が記憶装置1a, 1bにそれぞれ送出される。記憶装置1a, 1bが分離運転モードの場合はメモリ種別信号とACT表示F. F. 102a、または102bのうち一致した方がACT側記憶装置として選択され、メモリ要求が受理され、各メモリ動作が実行される。

記憶装置1a, 1bが同期運転モードの場合にはメモリ要求は各記憶装置1a, 1bにて無条件で受理される。シーケンス制御部12a, 12bはメモリ動作種別信号を信号線33a, 33bより受け取り、アンドゲート113a, 113bの出力信号に駆動されて各動作に合わせたシーケンス

(9)

126a, 126b、及びオアゲート127a, 127bとを有しており、ビジー表示F. F. 121a, 121bの信号はオアゲート127a, 127bの一方の入力に加えられるとともに信号線128a, 128bを介して他方の記憶装置側のアンドゲート126b, 126aに輸入され、シーケンスが必ずしも同期しないアクセスについても同期を保つようにしてある。T&S表示F. F. 122a, 122b、copy表示F. F. 123a, 123b、REF表示F. F. 124a, 124bの各表示信号は照合部15a, 15bに送出されるとともに、他方の記憶装置の照合部15b, 15aに信号線16a, 16bを介して送出される如くなっている。シーケンス制御部12a, 12bの各動作はバス3の要求動作種別信号線33a, 33bより伝達される動作種別を表わす信号によつて選択され制御される如くなっている。

照合部15a, 15bは比較回路151a, 151b、及び不一致表示回路152a, 152bとを有し、比較回路151a, 151bは上記シーケンス制御部12a, 12b及びタイミング制御部13a, 13b

(8)

を制御し、タイミング制御回路13a, 13bを介してメモリ14a, 14bに各メモリ動作を実行させる。一方シーケンス制御部12a, 12bの動作を示すF. F. 122a, 122b, 123a, 123b, 124a, 124bの表示信号は信号線16a, 16bを介して、またタイミング制御部13a, 13bの動作を示す表示信号は信号線17a, 17bを介してそれぞれ他方の記憶装置の比較回路151b, 151aに伝達され、そこで比較照合が行なわれる。ここで不一致が検出されると(一般的には双方同時に検出される。)、不一致表示回路152a, 152bに表示され、信号線34a, 34bを介して処理装置2に通知される。このようにして処理装置2は記憶装置1a, 1bのいずれかに障害が発生した事を知る。

なお、二重化されて同期運転するためには予め両メモリの内容を一致させる必要があるが、これはコピー動作を用いて実現させることができる。

従つて上記実施例によれば、同期運転モード

時に記憶装置1a, 1bの個々のメモリ要求の起動タイミングを同期させ、シーケンス制御部12a, 12bとタイミング制御部13a, 13bよりその動作を示す表示信号を引き出し、双方の記憶装置間で送受させ、照合部15a, 15bで互いに同一信号を比較照合するようにしたので、制御部全体の障害がチェックでき、潜在障害を早期に検出することが可能となり、処理システムの不稼働状態を防止することができるという利点を有している。

なお上記実施例において、処理装置2と記憶装置1a, 1bとの接続はバス接続の他にリード接続でもよい。処理装置2が記憶装置1a, 1bをアクセスするのに用いる装置指定は、リード接続の場合は選択された同期信号であるが、バス接続の場合は記憶装置の階位を示すACT/SBYとした論理的な指定でも良いし、装置番号の様な物理的な指定でも良い。記憶装置1間は一方向の伝達方向を備えた信号線16a, 16bによって接続したが、これは双方向性の信

号線として論理的に一義的に定められる方向をその都度、変更できるようにして、その方向に対応してどちらか一方の記憶装置で障害のチェックをするようにしてもよい。また処理装置2は複数個あつてもよい。

第3図は本発明の他の実施例を示す処理システムのブロック図である。この実施例では前記実施例における二重化された記憶装置1a, 1b間における動作上の障害のチェックの他に、各記憶装置内でデータの読取り時にパリティチェックを行ない記憶内容の障害もチェックするようにしたものである。すなわち114a, 114b, 115a, 115bはアンドゲート、153a, 153bはパリティチェック回路、154a, 154bは障害表示回路、35a, 35bは番込み情報信号線、36a, 36bは読取り情報信号線、37a, 37b

未知信号線で、その他の構成は前記実施例と同様である。

次に動作について説明する。同期運転モード時に於いて前記実施例と同様に動作して記憶装

03

04

置1a, 1b間の動作上の障害のチェックが行なわれ、その上に番込み情報信号線35a, 35b及びアンドゲート114a, 114bを介してメモリ14a, 15aに書き込まれた情報の読取り動作の際、アンドゲート115a, 115b及び読取り情報信号線36a, 36bを介して処理装置2に読取り情報が伝達されるとともにパリティチェック回路153a, 153bにおいて読取り情報のチェックが行なわれ、エラーが検出されると障害表示回路154a, 154bに表示され、障害通知信号線37a, 37bを通して処理装置2に記憶内容の障害があつたことを通知する。この時記憶装置のACT側、SBY側に関係なく上記動作は行われる。

この実施例によれば記憶装置1a, 1b間の動作上の相互チェックと合わせて読取り時には読取り情報のパリティチェックを実施する事によつて記憶内容の潜在障害までも検出可能となしたので、システムの信頼度を更に向上させることができる。

なお上記実施例において番込み情報信号線と読取り情報信号線を共用としてパリティチェック回路を共有するようにしてもよい。また、誤り検出方法はパリティチェック方式以外のBCC検出等のアルゴリズムによる方式でもよい。

以上述べたように本発明によれば、二重化された記憶装置の同期運転モード時に各記憶装置内の動作を示す表示信号を互いに比較照合するようにしたので動作上の潜在障害を早期に検出でき、また記憶内容の読取りデータの誤り検出を行なうものでは更に記憶内容の潜在障害を検出することができ、システムの不稼働状態を防止できるため、電子交換機等の高信頼度を要求される処理システムに利用できるという効果がある。

4. 図面の簡単な説明

図面は本発明の実施例を示すもので、第1図は本発明の二重化記憶装置制御方式を使用した処理システムの概略構成を示すブロック図、第2図は第1図の実施例を更に具体化して示した

ブロック図、第3図は本発明の他の実施例を示すブロック図である。

1a, 1b…記憶装置、2…処理装置、3…バス、10a, 10b…システム制御部、11a, 11b…受付制御部、12a, 12b…シーケンス制御部、13a, 13b…タイミング制御部、14a, 14b…メモリ、15a, 15b…照合部、16a, 16b, 17a, 17b…信号線、153a, 153b…パリティチェック回路

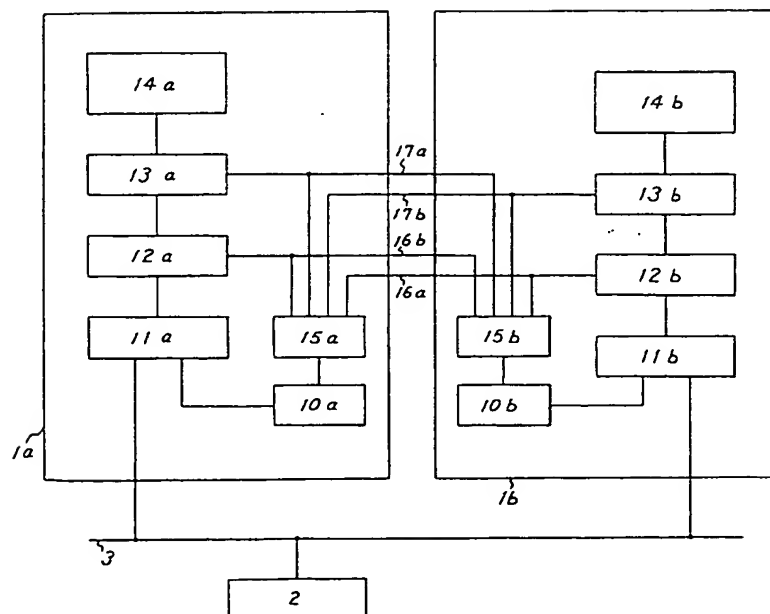
特許出願人 沖電気工業株式会社

(他4名)

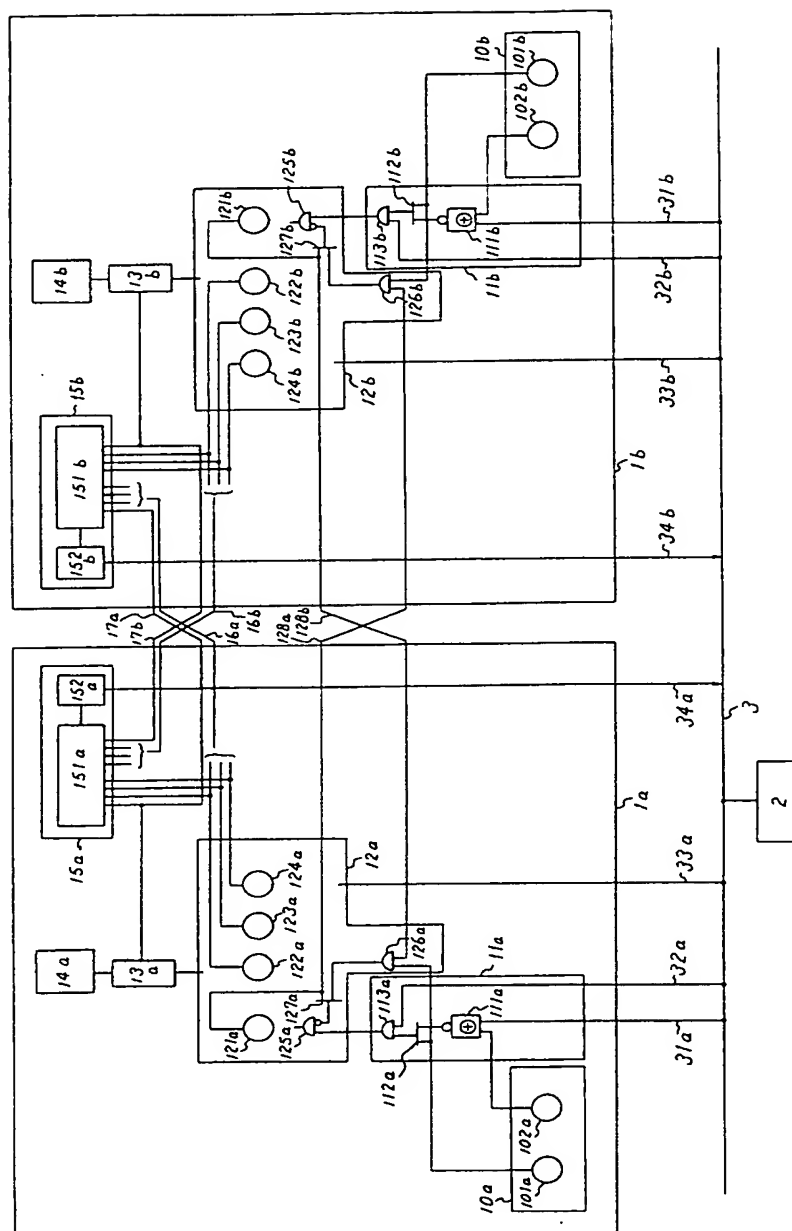
代理人 弁理士 吉田 裕 孝

09

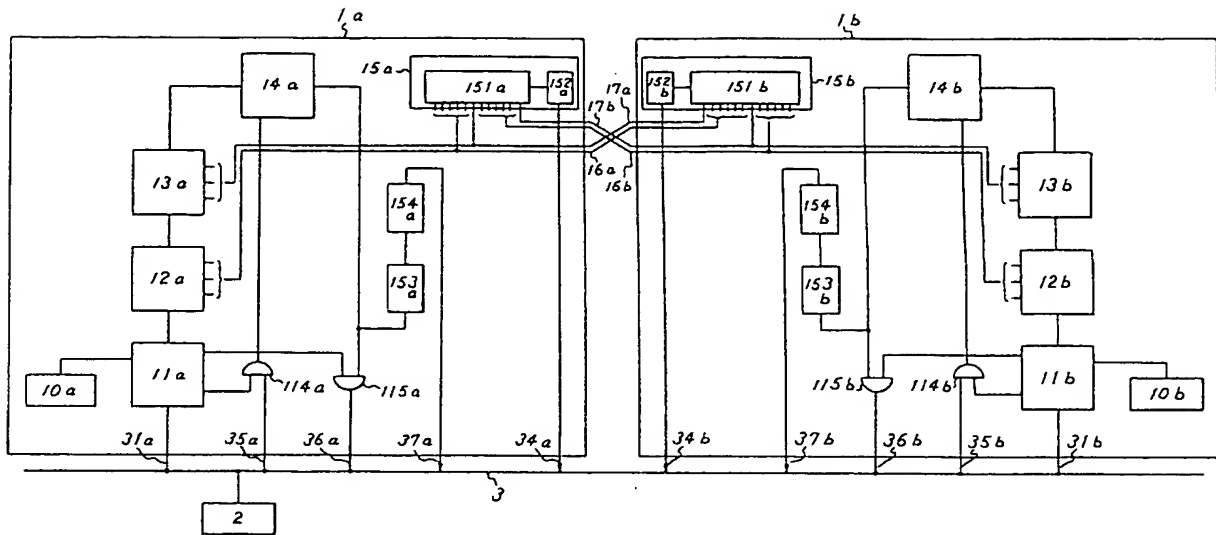
第1図



第2図



第3図



第1頁の続き

①出願人 株式会社日立製作所
東京都千代田区丸の内一丁目5
番1号

②出願人 富士通株式会社
川崎市中原区上小田中1015番地